

次世代高性能シリコン薄膜デバイス製造に向けた低温シリコン膜の研究開発(平成23年度)

著者	福田 永, 植杉 克弘, 城 尚志
雑誌名	室蘭工業大学地域共同研究開発センター研究報告
巻	24
ページ	1-3
発行年	2014-02
URL	http://hdl.handle.net/10258/00009042

次世代高性能シリコン薄膜デバイス製造に向けた低温シリコン膜の研究開発(平成 23 年度)

福田 永*¹, 植杉 克弘*², 城 尚志*³

1 はじめに

近年, ポリシルセスキオキサン(PSQ)をはじめとする有機高分子材料は, 薄膜形成技術の急速な進歩により, 誘電, 絶縁, さらに光学材料として広い範囲に利用されるようになった. 特にエレクトロニクス分野においては, 低温堆積の利点を活かし LSI 用層間絶縁膜や薄膜トランジスタのゲート絶縁膜に大きな期待がよせられている¹⁾. 近年, 有機高分子材料のひとつであるサイトップ(CYTOP: 商品名)は, 図 1 に示すようにペルフルオロ(4-ビニルオキシ-1-ブテン)

(BVE) を環化重合させた構造で, フッ素樹脂特有の物性を備えつつ, 非晶質であるがゆえ, 紫外, 可視, 近赤外の幅広い波長領域で透明であるという特徴を有している²⁾. また誘電特性および電気的絶縁性も調べられており, 誘電正接 $\tan\delta$ が 10^{-4} , 絶縁破壊耐圧が 3 MV/cm と報告されている³⁾. さらにアルカリ, 有機溶媒に対して高い薬品耐性を持つ一方, 専用の特殊フッ素系溶媒を用いて溶解させることができるためドロップキャスト法やスピンコート法などの塗布プロセスによる成膜が可能である. CYTOP は高い揮発性を持つことから表面エネルギーが小さく安定な構造をとりその上に形成する有機薄膜の結晶成長が促進される利点がある. 本研究では, CYTOP 層を電荷蓄積として機能させる有機半導体トランジスタ(OTFT)型メモリ

デバイスを報告する. ゲート絶縁膜を SiO_2 /CYTOP の積層構造にし, かつチャンネル層としてポリ 3-ヘキシルチオフェン(P3HT)を用いることでメモリ機能とトランジスタ機能を発現させた. 本報告は OTFT メモリについて, その電気的特性および電荷保持特性について示す.

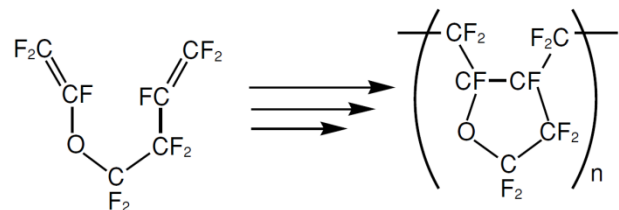


図 1 BVE の分子構造(左図)と高分子化した構造(右図)

2 実験方法

基板として抵抗率が $0.1\Omega\cdot\text{cm}$ の p^+ -Si (100)を用いた. その上に熱酸化を用いて厚さ 200nm の SiO_2 膜を形成した. 次に旭硝子製の CYTOP (9wt%)を用いて膜を作製した. CYTOP は耐薬品性が高いため, パーフルオロ溶液により 5wt%に希釈して使用した. CYTOP は, 自立薄膜転写法 (FTM)により行った. この手法は非水系溶媒であるエチレングリコール上に有機半導体の溶液を滴下し, 溶媒が自然に揮発するのを待って基板に直接転写する方法である.

チャンネル層には p 型有機半導体材料である P3HT を使用した. P3HT は, MERCK 社製 (HT 結合 98.5%以

*1: しくみ情報系領域

*2: もの創造系領域

*3: 帝人株式会社融合技術研究所 所長

上, クロロホルムは関東化学社製のものを使用した。クロロホルムは P3HT に対して良い溶媒ではあるが, 室温状態では溶解性が悪く, 沈殿物が形成されるため, 約 55°C の温水に浸した状態で, 超音波洗浄器内で 30 分程度加熱することにより溶解させて用いた。最後に P3HT 薄膜上に真空蒸着法によりマスクを用いて金電極を形成した。

3 デバイス作製および評価

デバイス構造を図 2 に示す。ゲート絶縁膜が SiO₂ 膜に CYTOP を積層した構造になっている。

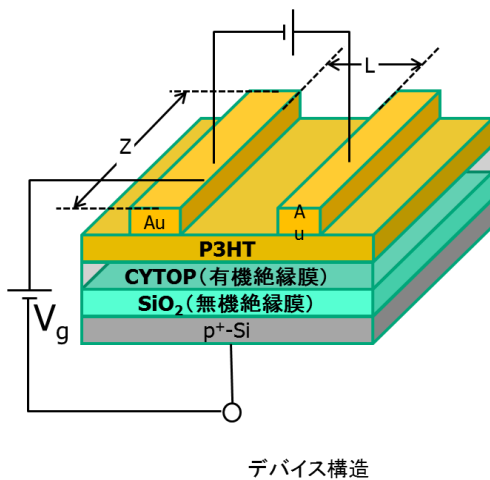


図 2 OTFT メモリ構造

SiO₂/CYTOP 積層 OTFT メモリの出力特性を図 3 に示す。移動度は, $1.04 \times 10^{-2} \text{ cm}^2/\text{Vs}$, on/off 比は, 117 であった。次に OTFT メモリの伝達特性を図 4 に示す。縦軸は, ドレイン電流値で表示している。しきい値電圧は $V_{th}=6.06\text{V}$ であった。測定条件はドレインソース間電圧 -20 V と一定にし, ゲート電圧 40 V を 10~60 s 印加し, 伝達特性の変化を測定した。

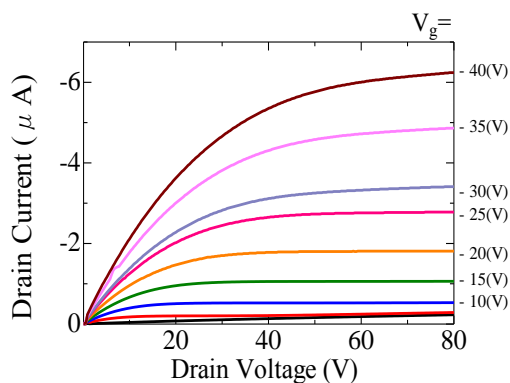


図 3 OTFT メモリの出力特性

次にソース〜ドレイン間に 20 V の電圧を印加し, ゲート〜ソース間に 40 V のバイアスを 10 秒毎に印加した場合の伝達特性を図 4 に示す。

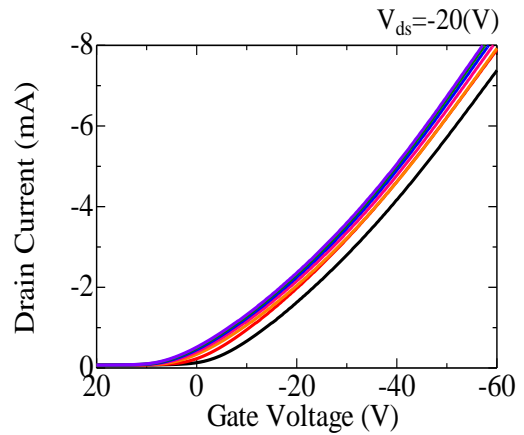


図 4 ストレス印加前後の OTFT メモリの伝達特性

バイアス印加によりドレイン電流の増加がみられている。このことは, CYTOP 膜への電荷蓄積を意味していると考えられる。一方, ゲートに逆バイアスを

印加することでバイアス印加前の初期状態に戻ることが示された。すなわち, メモリの書き込み・消去およびデータ保持が得られることが確認できた。なお, 今回導入した FTM 法はクロロホルムに溶解した P3HT を非水質溶媒であるエチレングリコール上に滴下し薄膜を形成するため, 溶媒による下地膜の侵蝕が起こらず, 本来の結晶性を乱すことなく P3HT が凝集し, 良好な出力特性および伝達特性が得られたものと考えられる。

4 まとめ

P3HT 薄膜を FTM 法により成膜した p チャネルタイプ OTFT において, 従来のスピコート法によるプロセスよりも良好な出力特性とメモリ特性が得られた。今後は FTM 法を適用して, n チャネル型の OTFT メモリを作製し, 動作性の向上を試みる。さらに, 電荷注入条件の最適化を図る。本研究の目標として, p および n 形 OTFT メモリで構成されたアナログ動作自己学習型ニューラル回路の作製を目指す。本研究の成果により平成 24 年度からスタートした科学研究費補助金新学術領域研究 (研究領域提案型) 「生物多様性を規範とする革新的材料技術」に繋げることができた。また, 平成 25 年度科学研究費補助金「基盤研究(C)」課題番号 25420310 の採択となった。

文献

- (1) 八瀬清志著, 「有機エレクトロニクスにおける分子配向 技術」, (株) シーエムシー出版, 2007, pp.8
- (2) 尾川 元, 杉山徳英, 神田眞宏, 岡野邦子, Reports Res. Lab. Asahi Glass Co.,Ltd.,55,2005, pp.47-51
- (3) 田口裕一, 伊東栄次, 宮入圭一, 電子情報通信学会 信学技報 IEICE Technical Report CME2005-81, 2005, pp.5-10