

マイクロ波シミュレータ・FDTD法データフローマシンの開発

Development of Dataflow Machine of FDTD Method for High-performance Microwave Simulation

川口秀樹
Hideki Kawaguchi

室蘭工業大学 情報電子工学系専攻
Division of Information and Electronic Engineering, Muroran Institute of Technology

1. はじめに

パソコン等の身近な計算機のダウンサイジング、高性能化、メモリ大容量化に伴い、近年、ますます、電気・電子製品の設計・開発の場における数値シミュレーションの利用が普及している。しかしながらその一方で、シミュレーションしたいターゲットが部品や素子のみならず、プリント基板などの数十波長を越える空間領域になると、所要メモリは100ギガバイトを越え、計算時間もスーパーコンピュータでも数時間から数日を要する大規模計算となり、計算は可能であっても必ずしも製品設計等の産業応用に数値シミュレーションを活用するのはまだまだ容易でない。このため、産業応用へのより広い活用には、飛躍的な計算性能の向上と、それをポータブルなサイズで実現することが必要となる。

このようなポータブルなハイパフォーマンスコンピューティング(HPC)技術の一つの可能性として専用計算機の方法がある。すなわち、汎用性が重視されメインメモリと演算部がバス結合されたノイマンアーキテクチャとは異なり、メモリも含めシステム全体を計算したいターゲットに特化させハードウェア化することにより、汎用性故に生じていた処理オーバーヘッドをなくし、かつ、計算スキームに潜在する並列性を最大限引き出すことができる。本稿では、このような考え方でマイクロ波シミュレーションを中心に進められてきたFDTD法専用計算機の概要の解説とともに、最近の進展について報告する。

2. FDTD法専用計算機の概要

HPC技術においてしばしば言及されるように、計算機の高性能化に際しては、CPU等の演算部のみを高速化しても全体的な計算自体は必ずしも高速化されず、メモリアクセスも含めた全体のスループットとして高性能化を考える必要がある。また、これらCPUでの演算やメモリアクセスが計算全体に占める割合は、偏微分方程式の解法などの用いるスキームによっても異なるため、すべてのケース様に効果的に適用可能な高性能化は限られ、これまでは主に、CPUクロックの高速化、メモリアクセス高速化等が中心であった。とりわけ、マイクロ波シミュレーションで広く用いられているFDTD法では、計算時間のほとんどをメモリアクセスに要していることが知られており、シミュレーションを飛躍的に高速化するには特にスループット性能を意識した検討が必要となる。

FDTD法のハードウェア化の議論自体は、スキームが非常にシンプルであることもあり早い段階からインフォーマルには議論されていたが、具体的な検討としては、例えば、1992年のMarekらによるPCボード化の議論^[1]などが見られる。しかしながら、そこでもまだ本格的な実

装は行われていなかったが、その後、PML吸収境界条件の提案等、FDTD法スキーム自体が確立し、さらに、実用に耐えうるようなFPGA技術の進展、LSI回路設計ソフトの普及、プリント基板作成サービスの低コスト化・充実化等に伴い、2002年以降本格的な実用化の試みが表れ始めた^{[2]-[9]}。一方、その直後、GPU計算機およびCUDA言語の普及により、FDTD法のハードウェアベースの高速化はむしろGPU計算機が主流となり、Acceleware社等により商用ソフトウェアのオプション製品も発表されている。このとき、GPU計算機によりFDTD法は効率的に高速化されるものの、しかしながらそれはGPUよりもむしろ主にそこで用いられているDDR5等の高速なメモリアクセスに起因しており(次節参照)、実際、(さまざまな比較があるので一元的には言えないまでも、十分チューニングされたハイエンドの)CPU計算機と比較して、高々、数倍、十数倍の性能に留まり、必ずしもGPU本来の高性能性は発揮できていない。それに加え、GPU計算機では、メインメモリは、高々、6GB程度であり高性能計算が必要な大規模計算では十分でなく、これも、必ずしもGPU計算機がFDTD法シミュレーションで広く普及していない要因の一つにもなっている。

3. FDTD法データフローマシン

標準的なFDTD法の定式化を下記に示す。

$$E_{x_i,j,k}^{n+1} = \frac{1 - \frac{\sigma \Delta t}{2\epsilon_x}}{1 + \frac{\sigma \Delta t}{2\epsilon_x}} E_{x_i,j,k}^{n-1} + \frac{\epsilon_x \Delta t}{1 + \frac{\sigma \Delta t}{2\epsilon_x}} \left[H_{z_i,j,k}^n - H_{z_{i,j,k-1}}^n - H_{y_{i,j,k}}^n + H_{y_{i,j,k-1}}^n \right] \quad (1)$$

$$E_{y_{i,j,k}}^{n+1} = \frac{1 - \frac{\sigma \Delta t}{2\epsilon_y}}{1 + \frac{\sigma \Delta t}{2\epsilon_y}} E_{y_{i,j,k}}^{n-1} + \frac{\epsilon_y \Delta t}{1 + \frac{\sigma \Delta t}{2\epsilon_y}} \left[H_{x_{i,j,k}}^n - H_{x_{i,j,k-1}}^n - H_{z_{i,j,k}}^n + H_{z_{i,j,k-1}}^n \right]$$

$$E_{z_{i,j,k}}^{n+1} = \frac{1 - \frac{\sigma \Delta t}{2\epsilon_z}}{1 + \frac{\sigma \Delta t}{2\epsilon_z}} E_{z_{i,j,k}}^{n-1} + \frac{\epsilon_z \Delta t}{1 + \frac{\sigma \Delta t}{2\epsilon_z}} \left[H_{y_{i,j,k}}^n - H_{y_{i-1,j,k}}^n - H_{x_{i,j,k}}^n + H_{x_{i,j-1,k}}^n \right]$$

$$H_{x_{i,j,k}}^n = H_{x_{i,j,k}}^{n-1} - \frac{\Delta t}{\mu_x \Delta t} \left[E_{z_{i,j+1,k}}^n - E_{z_{i,j,k}}^n - E_{y_{i,j,k+1}}^n + E_{y_{i,j,k}}^n \right] \quad (2)$$

$$H_{y_{i,j,k}}^n = H_{y_{i,j,k}}^{n-1} - \frac{\Delta t}{\mu_y \Delta t} \left[E_{x_{i,j,k+1}}^n - E_{x_{i,j,k}}^n - E_{z_{i+1,j,k}}^n + E_{z_{i,j,k}}^n \right]$$

$$H_{z_{i,j,k}}^n = H_{z_{i,j,k}}^{n-1} - \frac{\Delta t}{\mu_z \Delta t} \left[E_{y_{i+1,j,k}}^n - E_{y_{i,j,k}}^n - E_{x_{i,j+1,k}}^n + E_{x_{i,j,k}}^n \right]$$

すなわち、FDTD法により1格子分の電磁場6成分を計算する際には、加減乗除算が36回程度必要で、それを計算するためにメモリから取り寄せる電磁場の値(右辺)は33個程度ある。単純計算で上記加減乗除算を1つの浮動小数点演算と見なすと、例えば1TFLOPSのCPUでは、毎秒27Gグリッドの計算が可能であるが、一方、CPUとメモリ間のメモリバンドを25GB/secとすると、毎秒95Mグリッド分のみの計算に必要なデータしかメモリアクセ

できないことになる。すなわち、FDTD法では、メモリアクセスに要する時間は、CPUでの処理時間の約300倍となっていることがわかる。実際には、上式右辺の電磁場成分の一部は次の隣の格子を計算する際に再利用できるためキャッシュに保管しておきメモリアクセス数を削減するなどの工夫や、より広いメモリバンド幅を仮定するとそれらの時間の差は小さくなるものの、それでも数十倍の差はある。したがって、ノイマンアーキテクチャに存在するこのメモリアクセスのボトルネックを本質的に解消しない限り、FDTD法の飛躍的な高速化は望めない。このような背景から、データフローアーキテクチャと称して下記のFDTD法専用計算機が提案された。

図1にデータフローアーキテクチャFDTD法専用計算機^[10]の概要を示す。上述のノイマンボトルネックを回避すべく、電磁場の値はすべて格子空間と同様に配置されたレジスタに格納することとし、それらを図1(b)に示すようなFDTD法が自動的に計算される演算回路を介し接続することにより、システムクロックに同期して(プログラムなしで)自動的にFDTD法が計算される。このとき、3次元格子全体にこの演算回路を配置するには、最上位FPGAでも到底ハードウェアサイズが足りないため、実際には図1(b)の演算回路は格子空間最下層のみに配置し、その他の上段層には電磁場を格納するレジスタのみが配置され、最下層でのFDTD法の計算を行う毎に、1層ずつシフトダウンし値を入れ替えながら全空間の計算を行う(図1(a)参照)。これでも、格子空間のx-y面の電場/磁場の各3成分を一度のクロック動作で計算できることになる。このとき、一般に、専用ハードウェアでは、柔軟に様々な数値モデルを計算することが容易でないという問題があるが、これに対しては図1(c)のように、単位格子回路を通常格子とPML吸収境界条件格子の共通設計とし、また各格子での媒質定数を格納するレジスタを設けておくことで、計算に先立ちホスト計算機から専用計算機にダウンロードする情報を変更するだけで、すなわち、ハードウェア回路には全く変更加えることなく、様々な数値モデルに対する汎用性を持たせることができる。このアーキテクチャは、実際、VHDLにより回路設計され、論理シミュレーションによって動作確認が行われている。さらに、比較的小規模なFPGAで12x8x38格子空間を50MHzのクロック速度で計算することを想定した場合で、毎秒約2Gグリッドの処理速

度、すなわちGPU計算機の約10倍の性能見積りが得られている。さらにもう一つ専用計算機の方法の欠点と考えられている問題が大規模計算への対応であり、実際、図1の方式をFPGAで実現する場合、発売予定の最もハイエンドなFPGAでもわずか32x64x480程度の格子空間が限度となる。一方、本来、本専用計算機は並列時のスケーラビリティは高く、これを16x8に2次元配列し直結すれば、約500x500x500サイズの格子空間を、毎秒約6.4TグリッドでFDTD法シミュレーションが可能となる計算となるが、もちろん、莫大なコスト、実装可能性等、その前に解決すべきことが多くある。したがって、まずはその前に単一FPGAに領域分割法を実装するなどの対策が必要であるとも考えられる。

4. まとめ

専用計算機の方法による高性能マイクロ波シミュレータの概要、およびFDTD法データフローマシンの開発について報告した。領域分割法実装など残された課題はあるものの、既の実現可能性が見えるところまで来ていることを説明した。同様な試みはマイクロ波のみならず、静電場・静磁場、渦電流場にも可能であるとも考えており、今後、これらについても検討する必要もある。

参考文献

[1] J.R.Marek, M.A.Mehalic, A.J.Terzuoli, Conf. Proc. 8th Annu. Rev. Progress in Applied Compu. Electromagnetics, 1992, pp.546-553.
 [2] H.Kawaguchi and K.Takahara, Record of Conference on the Computation of Electromagnetic Fields (COMPUMAG-Evian), (2001, July, Evian, France), p.1-34.
 [3] P.Placidi, L.Verducci, G.Matrella, L.Roselli, P.Ciampolini, *IEICE Trans. Electron.*, Vol.E85-C, No.3, pp.572-577, March, 2002.
 [4] Schneider,R.N, Okoniewski,M.M., Turner,L.E,*Microwave and Wireless Components Letters*, IEEE Microw. Wireless Compon. Lett., Vol:12, Issue:1, pp.488-490, 2002.
 [5] H.Kawaguchi, K.Takahara, D.Yamauchi, *IEEE Transactions on Magnetics*, Vol:38, Issue:2, pp.689-692, 2002.
 [6] J.P.Durbano, et al.,*IEEE Antennas and Wireless Propagation Letters*, Vol.2, pp.54-57, 2003.
 [7] S.Matsuoka, K.Ohmi and H.Kawaguchi, *IEICE Trans. Electron.*, Vol.E86-C, No.11, pp.2199-2206, 2003
 [8] K.Sano, Y.Hatsuda, L.Wang, S.Yamamoto, *Interdisciplinary Information Sciences*, Vol:15, Issue:1, pp.67-78, 2009
 [9] Y.Fujita and H.Kawaguchi, *International Journal of Applied Electromagnetics and Mechanics*, Vol.32, No.3, pp.145-157, 2010
 [10] H. Kawaguchi, S. Matsuoka, *IEEE Transactions on Magnetics*, Vol.51, Issue 3, 7202404, 2015.

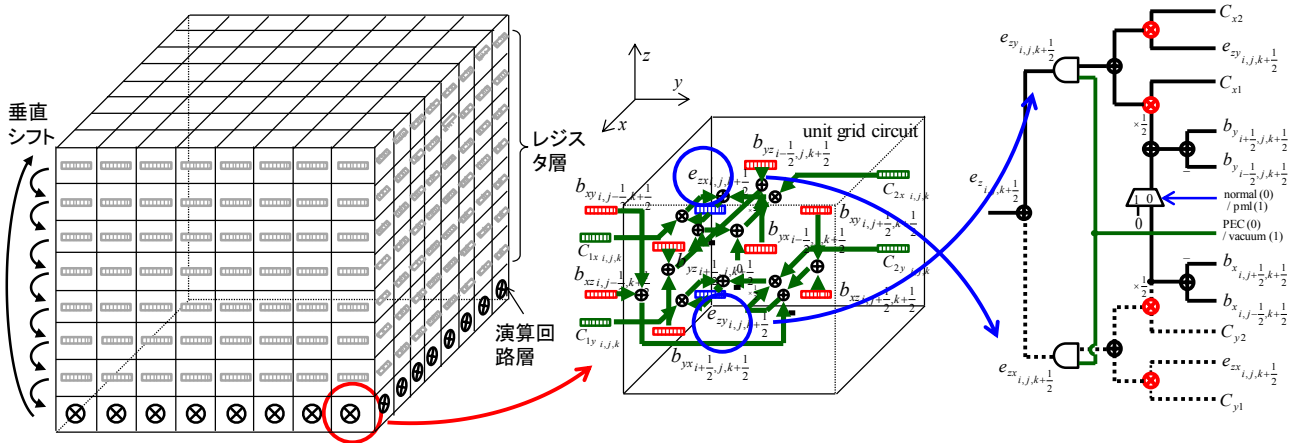


図1 FDTD法データフローマシンアーキテクチャ